

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-76000  
(P2002-76000A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/3205		C 2 5 D 7/12	4 K 0 2 4
C 2 5 D 7/12		C 2 5 F 3/16	A 4 M 1 0 4
C 2 5 F 3/16		3/22	5 F 0 3 3
3/22		3/30	
3/30		H 0 1 L 21/288	E
審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く			

(21)出願番号 特願2000-267901(P2000-267901)

(22)出願日 平成12年9月5日(2000.9.5)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田口 充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 野上 毅

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

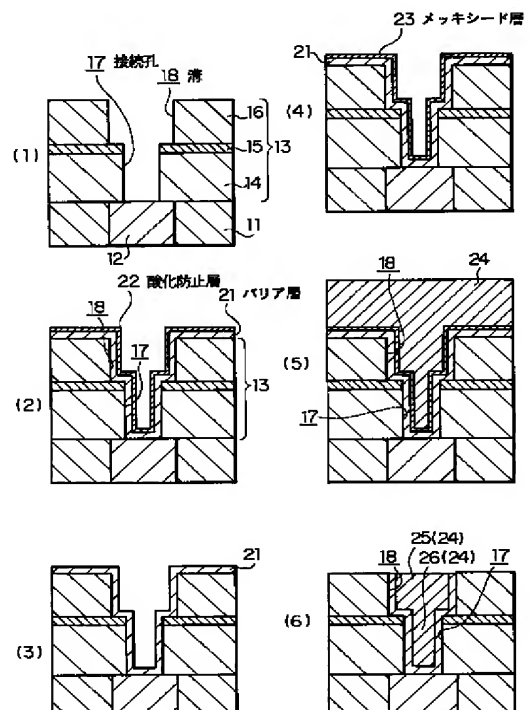
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 電解メッキにより銅シード層をコンフォーマルに安定的に成長させて形成して、膜剥がれや銅の埋め込み不良の改善を図る。

【解決手段】 基板に形成した凹部（接続孔17および溝18）内にバリア層21を形成する工程と、バリア層21を形成した後にバリア層21表面を酸化性雰囲気にならすことなくバリア層21表面に酸化防止層22を形成する工程と、電解研磨法によって酸化防止層22を除去する工程と、電解研磨に引き続く電解メッキ法によってバリア層21表面にメッキシード層23を形成する工程とを備えている。



## 【特許請求の範囲】

【請求項1】 基板に形成した凹部内にバリア層を形成する工程と、

前記バリア層を形成した後に前記バリア層表面を酸化性雰囲気にならすことなく前記バリア層表面に酸化防止層を形成する工程と、

電解研磨法によって前記酸化防止層を除去する工程と、前記電解研磨に引き続く電解メッキ法によって前記バリア層表面にメッキシード層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記電解研磨から前記電解メッキによるメッキシード層の形成は、同一メッキ槽を用いて行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記メッキシード層の形成工程に連続して電解メッキにより前記溝および前記接続孔を埋め込むメッキ層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは電解メッキ用の銅シード層を形成する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】LSIの微細化により、配線寄生容量の増大による回路遅延や、微細配線のエレクトロマイグレーション耐性の劣化などが問題となっている。このため、アルミニウムより電気抵抗が低く配線信頼性の高い銅配線の導入が進められている。銅配線を形成する方法としては、銅のドライエッチングが一般に困難であることから、いわゆるダマシプロセスが広く採用されている。特に、製造コスト面から、デュアルダマシ法が有望視されている。

【0003】デュアルダマシ法による配線形成法の一例を図2の製造工程を示す概略構成断面図によって、以下に説明する。

【0004】図2の(1)に示すように、半導体基板に所定の素子形成等の処理を行い、絶縁膜111、下層配線112を形成した後、それらを覆う層間絶縁膜113を形成し、デュアルダマシ法によって、その層間絶縁膜113に接続孔121および溝122を開口する。その後、スパッタリングによって、溝122および接続孔121の各内面とともに層間絶縁膜113上に、窒化タンタル(TaN)膜123および銅膜124を成膜する。上記窒化タンタル膜123は、銅膜124と層間絶縁膜113とのバリアメタルとして機能し、銅膜124は後の電解メッキ膜を成長させるためのシード層としての機能を果たすものである。窒化タンタル膜123から銅膜124までの成膜は、通常、成膜途中で真空を破ることなく連続的に行われる。

【0005】引き続き、図2の(2)に示すように、電解メッキ法によって、上記溝122および接続孔121の内部を銅膜125で埋め込む。

【0006】次に、化学的機械研磨(以下CMPという、CMPはChemical Mechanical Polishing)によって、層間絶縁膜113上の余剰な銅膜124および窒化タンタル膜123を除去する。その結果、図2の(3)に示すように、上記溝122および接続孔121の内部に銅膜125(銅膜124も含む)が埋め込まれ、接続孔121内にプラグ126が形成され、溝122内に配線127が形成される。

【0007】上記デュアルダマシ法による配線形成技術は、電解メッキの際に、ボイドを発生することなく、銅を良好に埋め込むことが重要である。銅を良好に埋め込むためには、銅シード層を良好なステップカバリッジを得るように形成することが必要となる。スパッタリングでは、特にホールの側壁部分のステップカバリッジが不足しやすいという問題がある。

【0008】銅シード層のステップカバリッジを向上せる方法として、銅シード層を電解メッキによって形成する方法がある。この方法では、スパッタリングと比較して、バリアメタルを成膜した後、ハイスロータイプの銅電解メッキによって銅層を薄くかつコンフォーマルに形成し、引き続き、ボトムアップタイプの電解メッキによって、溝および接続孔を銅により埋め込む方法が採用されていた。

## 【0009】

【発明が解決しようとする課題】しかしながら、従来の銅シード層の形成方法では、スパッタリングによってバリア層を形成した後、一旦、ウエハを大気中に曝露する必要があり、その際、バリアメタル表面に酸化層が形成されていた。この酸化層は、その後の電解メッキによる銅シード層の安定成長を阻害し、膜剥がれや銅の埋め込み不良等の不良を発生させていた。

## 【0010】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法である。

【0011】本発明の半導体装置の製造方法は、基板に形成した凹部内にバリア層を形成する工程と、前記バリア層を形成した後に前記バリア層表面を酸化性雰囲気にならすことなく前記バリア層表面に酸化防止層を形成する工程と、電解研磨法によって前記酸化防止層を除去する工程と、前記電解研磨に引き続く電解メッキ法によって前記バリア層表面にメッキシード層を形成する工程とを備えている。

【0012】上記半導体装置の製造方法では、バリア層を形成した後にバリア層表面を酸化性雰囲気にならすことなくバリア層表面に酸化防止層を形成することから、バリア層表面に酸化層を形成することなく酸化防止層は形成される。そして、電解研磨法によって酸化防止層を

10

20

30

40

50

除去し、その電解研磨に引き続く電解メッキ法によってバリア層表面にメッキシード層を形成することから、バリア層表面を酸化性雰囲気にならすことなくコンフォーマルな成膜方法である電解メッキ法によってバリア層表面にメッキシード層は形成される。したがって、メッキシード層は安定的にバリア層表面に成長するため、膜剥がれや銅の埋め込み不良等の不良は発生しない。

#### 【0013】

【発明の実施の形態】本発明の半導体装置の製造方法に係る実施の形態を、図1の製造工程を示す概略構成断面図によって説明する。

【0014】図1の(1)に示すように、半導体基板に所定の素子形成等の処理を行い、絶縁層11、下層配線層12を形成した後、それらを被覆する層間絶縁膜13を形成する。この層間絶縁膜13は、例えば酸化シリコンからなる第1の絶縁膜14と、例えば窒化シリコンからなるエッチングストップ膜15と、例えば酸化シリコンからなる第2の絶縁膜16とで構成する。続いて、デュアルダマシン法によって、上記層間絶縁膜13に接続孔17および溝18を開口する。その際、溝18を形成するエッチングは上記エッチングストップ膜15上で停止されるため、溝18の底部は上記エッチングストップ膜15上となる。なお、溝18底部のエッチングストップ膜15は除去してもよい。

【0015】次に、図1の(2)に示すように、DCマグネトロンスパッタリングによって、上記接続孔17および溝18の各内面に、バリア層21として窒化タンタル膜を、例えば30nmの厚さに形成する。この成膜では、層間絶縁膜13上にもバリア層21が成膜される。

【0016】上記スパッタリング条件の一例としては、スパッタリングのターゲットにタンタルターゲットを用い、スパッタリング装置のDCパワーを6kW、プロセスガスにアルゴン（供給流量：70cm<sup>3</sup>/min）と窒素（供給流量：30cm<sup>3</sup>/min）とを用い、成膜雰囲気の圧力を0.3Pa、基板温度を200℃に設定し、反応性スパッタリングにより成膜を行った。

【0017】引き続き、DCマグネトロンスパッタリングによって、バリア層21表面の酸化防止層22として銅膜を例えば100nmの厚さに成膜する。上記窒化タンタル膜の成膜から上記銅膜の成膜までは、途中で大気のような酸化性雰囲気にさらすことなく、真空雰囲気で成膜を行う。なお、本明細書に記載の真空とは工業的真空をいう。

【0018】上記銅膜の成膜条件の一例としては、ターゲットに銅ターゲットを用い、スパッタリング装置のDCパワーを3kW、プロセスガスにアルゴン（供給流量：100cm<sup>3</sup>/min）を用い、成膜雰囲気の圧力を0.3Pa、基板温度を100℃に設定した。

【0019】次いで、図1の(3)に示すように、銅電解メッキ装置において、電解研磨処理を行い、上記酸化

防止層22〔前記図1の(2)参照〕を除去する。その結果、バリア層21が再び表出される。

【0020】上記電解研磨条件の一例としては、研磨液にリン酸（比重1.6）を用い、電解研磨における電流密度を5A/dm<sup>2</sup>～20A/dm<sup>2</sup>に設定し、研磨時間を2分～5分に設定した。

【0021】次いで、図1の(4)に示すように、ハイスロータイプの電解メッキ法によって、上記バリア層21表面にコンフォーマルな銅膜を例えば30nmの厚さに成膜する。この成膜処理は、上記電解研磨と同一のメッキ槽を用いる。この場合、窒化タンタル膜からなるバリア層21表面の酸化を最小限に抑制した上で電解メッキによって良好な段差被覆性を有するメッキシード層23となる銅シード層が形成される。一例として、電解研磨を行ったメッキ槽を利用して、そのメッキ槽内で、電解研磨液を電解メッキ液に置換することで、バリア層21表面の酸化を最小限に抑制した上で上記電解メッキを行う。

【0022】上記ハイスロータイプの電解メッキ条件の一例としては、メッキ液に硫酸銅系電解メッキ液（例えば、Enthone-OMI社製：CuBATHシリーズ）を用い、メッキ電流値を2.83A、メッキ時間を30秒、メッキ液温度を25℃に設定した。ハイスロータイプの電解メッキからボトムアップタイプの電解メッキ（平滑性メッキ）への移行は、同一メッキ槽を利用して、そのメッキ槽内で、電解メッキ液をハイスロータイプの電解メッキ液からボトムアップタイプの電解メッキ液に置換することで行う。

【0023】次いで、図1の(5)に示すように、ボトムアップタイプの電解メッキ法によって、上記接続孔17および溝18を埋め込むようにメッキ層24を銅で形成する。

【0024】上記ボトムアップタイプの電解メッキ条件の一例としては、メッキ液に硫酸銅系電解メッキ液（例えば、EEJA社製：Microfab Cu2000シリーズ）を用い、メッキ電流値を2.83A、メッキ時間を4分30秒、メッキ液温度を18℃に設定し、1.0μmの厚さに銅膜からなるメッキ層24を形成した。

【0025】次に、図1の(6)に示すように、化学的機械研磨（以下CMPという、CMPはChemical Mechanical Polishing）によって、上記層間絶縁膜13上の余剰の銅膜（図示せず）および窒化タンタル膜からなるバリア層（図示せず）を除去し、上記溝18の内部に上記メッキ層24（メッキシード層23も含む）で配線25を形成するとともに接続孔17の内部に上記メッキ層24（メッキシード層23も含む）でプラグ26を形成する。

【0026】上記実施の形態では、バリア層21に窒化タンタル膜を用いたが、その他の材料としては、タンタ

ル膜、窒化タングステン膜、窒化ケイ化タングステン膜等を用いることが可能である。また、窒化タンタル膜表面の酸化防止層22としての銅膜の成膜方法は、DCマグネトロンスパッタリングの他に、遠距離スパッタリング、自己放電スパッタリング、イオン化スパッタリング等のスパッタリング、化学的気相成長法等を用いることが可能である。

#### 【0027】

【発明の効果】以上、説明したように本発明の半導体装置の製造方法によれば、バリア層表面に酸化層を形成することなく、良好な段差被覆性を有する銅シード層を形成することができるので膜剥がれの問題を生じさせるこ

となく、良好な銅の埋め込みを達成することができる。よって、信頼性の高い溝配線構造を形成することができる。

#### 【図面の簡単な説明】

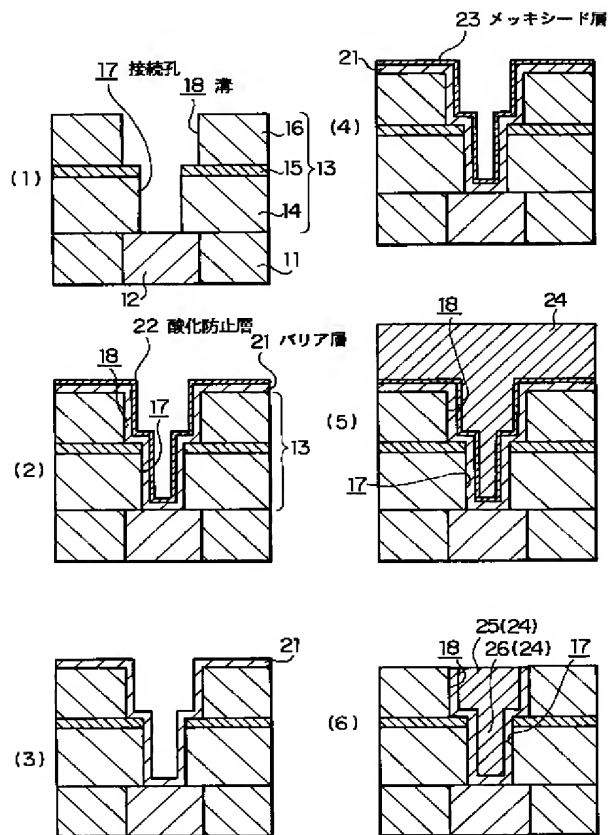
【図1】本発明の半導体装置の製造方法に係る実施の形態の製造工程を示す概略構成断面図である。

【図2】デュアルダマシン法による配線形成法の一例の製造工程を示す概略構成断面図である。

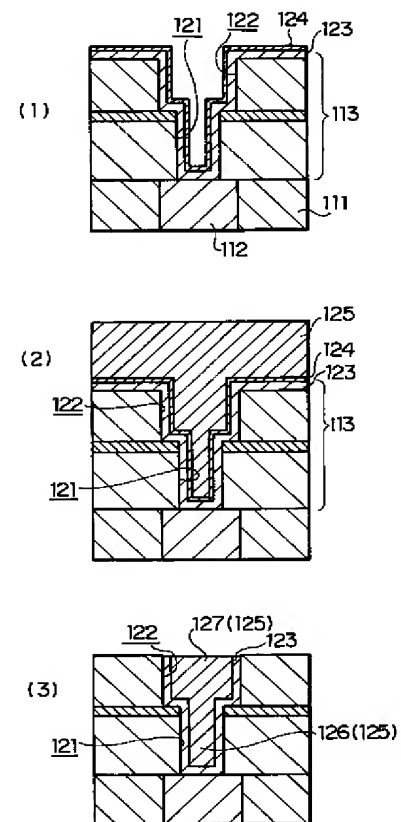
#### 【符号の説明】

17…接続孔、18…溝、21…バリア層、22酸化防止層、23…メッキシード

【図1】



【図2】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 21/288

識別記号

F I

H01L 21/88

テーマコード(参考)

R

(72)発明者 鬼頭 英至

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 駒井 尚紀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

F ターム(参考) 4K024 AA09 AB01 BA01 BB10 BB12  
BC10 CA04 CA05 DA02 GA01  
4M104 BB04 DD52 HH08  
5F033 HH11 HH28 HH32 HH34 JJ01  
JJ11 JJ28 JJ32 JJ34 MM02  
MM12 MM13 NN06 NN07 PP15  
PP16 PP27 PP33 QQ00 QQ46  
RR04 RR06 TT02 XX02 XX12  
XX20

**DERWENT-ACC-NO:** 2002-447398**DERWENT-WEEK:** 200248*COPYRIGHT 2008 DERWENT INFORMATION LTD*

**TITLE:** Semiconductor device manufacture  
involves forming anti-oxidation layer  
on barrier layer without exposing  
barrier layer to oxidation atmosphere,  
removing anti-oxidation layer and  
forming plating layer on barrier layer

**INVENTOR:** KITO H; KOMAI H ; NOGAMI T ; TAGUCHI M**PATENT-ASSIGNEE:** SONY CORP[SONY]**PRIORITY-DATA:** 2000JP-267901 (September 5, 2000)**PATENT-FAMILY:**

<b>PUB-NO</b>	<b>PUB-DATE</b>	<b>LANGUAGE</b>
JP 2002076000 A	March 15, 2002	JA

**APPLICATION-DATA:**

<b>PUB-NO</b>	<b>APPL- DESCRIPTOR</b>	<b>APPL-NO</b>	<b>APPL-DATE</b>
JP2002076000A	N/A	2000JP- 267901	September 5, 2000

**INT-CL-CURRENT:**

<b>TYPE</b>	<b>IPC DATE</b>
CIPP	C25D7/12 20060101
CIPS	C25F3/16 20060101

CIPS	C25F3/22 20060101
CIPS	C25F3/30 20060101
CIPS	H01L21/288 20060101
CIPS	H01L21/3205 20060101
CIPS	H01L23/52 20060101

**ABSTRACTED-PUB-NO:** JP 2002076000 A

**BASIC-ABSTRACT:**

NOVELTY - The barrier layer (21) is formed in concave portion formed in a substrate. An anti-oxidation layer (22) is formed on the barrier layer surface, without exposing the barrier layer to oxidation atmosphere. The formed anti-oxidation layer, is removed by electrolytic polishing. A plating seed layer (23) is formed on the barrier layer with electrolysis plating followed by electrolytic polishing.

USE - For manufacture of semiconductor device.

ADVANTAGE - Since a copper seed layer having favorable coating property is formed, without forming oxidizing layer on the barrier layer surface, embedding of the copper seed layer is favorably performed without debonding the film. Hence, a groove wiring structure is reliably formed.

DESCRIPTION OF DRAWING(S) - The figure shows the outline composition sectional drawing of manufacture of semiconductor device. (Drawing includes non-English language text).

Barrier layer (21)

Anti-oxidation layer (22)

Plating seed layer (23)

**CHOSEN-DRAWING:** Dwg.1/2

**TITLE-TERMS:** SEMICONDUCTOR DEVICE MANUFACTURE  
FORMING ANTI OXIDATION LAYER BARRIER  
EXPOSE ATMOSPHERE REMOVE PLATE

**DERWENT-CLASS:** L03 M11 U11

**CPI-CODES:** L04-C12; M11-H02;

**EPI-CODES:** U11-C05C6;

**SECONDARY-ACC-NO:**

**CPI Secondary Accession Numbers:** 2002-127754

**Non-CPI Secondary Accession Numbers:** 2002-352564



## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of the semiconductor device which forms the detailed copper seed layer for electrolytic plating about the manufacturing method of a semiconductor device.

[0002]

[Description of the Prior Art]By the minuteness making of LSI, the circuit delay by increase of wiring parasitic capacitance, electromigration resistance degradation of fine wiring, etc. pose a problem. For this reason, introduction of the copper interconnect with high wiring reliability whose electrical resistance is lower than aluminum is advanced. As a method of forming copper interconnect, since copper dry etching is generally difficult, what is called a damascene process is adopted widely. In particular, promising \*\* of the dual damascene process is carried out from the manufacturing-cost side.

[0003]The outline composition sectional view showing the manufacturing process of drawing 2 explains an example of the wiring formation method by dual damascene process below.

[0004]As shown in (1) of drawing 2, after processing predetermined element formation etc. to a semiconductor substrate and forming the insulator layer 111 and the lower layer wiring 112, the wrap interlayer insulation film 113 is formed for them, and the opening of the connecting hole 121 and the slot 122 is carried out to the interlayer insulation film 113 with dual damascene process. Then, the tantalum nitride (TaN) film 123 and the copper film 124 are formed on the interlayer insulation film 113 with each inner surface of the slot 122 and the connecting hole 121 by sputtering. The above-mentioned tantalum nitride film 123 functions as a barrier metal of the copper film 124 and the interlayer insulation film 113, and the copper film 124 achieves the function as a seed layer for growing up a next electrolytic plating film. Membrane formation from the tantalum nitride film 123 to the copper film 124 is usually

performed continuously, without breaking a vacuum in the middle of membrane formation.

[0005]Then, as shown in (2) of drawing 2, the inside of the above-mentioned slot 122 and the connecting hole 121 is embedded with the copper film 125 by an electrolytic plating method.

[0006]Next, chemical mechanical polishing (CMP [ say / following CMP ] is Chemical Mechanical Polishing) removes the surplus copper film 124 and the tantalum nitride film 123 on the interlayer insulation film 113. As a result, as shown in (3) of drawing 2, the copper film 125 (the copper film 124 is also included) is embedded to the inside of the above-mentioned slot 122 and the connecting hole 121, the plug 126 is formed in the connecting hole 121, and the wiring 127 is formed in the slot 122.

[0007]It is important for the wiring formation art by the above-mentioned dual damascene process in the case of electrolytic plating to embed copper good, without generating a void. In order to embed copper good, it is necessary to form a copper seed layer so that a good step cover ridge may be obtained. Especially in sputtering, there is a problem that the step cover ridges of the side wall part of a hole run short easily.

[0008]There is the method of forming a copper seed layer by electrolytic plating by making the step cover ridge of a copper seed layer into \*\*\*\*\*. In this method, after forming a barrier metal as compared with sputtering, the copper layer was thinly formed in conformal one by high-speed-steel low type copper electrolytic plating, and the method of embedding a slot and a connecting hole with copper was succeedingly adopted by bottom-up type electrolytic plating.

[0009]

[Problem(s) to be Solved by the Invention]However, in the formation method of the conventional copper seed layer, after forming a barrier layer by sputtering, the wafer needed to be exposed into the atmosphere and the oxidizing zone was once formed in the barrier metal surface at that time. This oxidizing zone checked the stable growth of the copper seed layer by subsequent electrolytic plating, and was generating the defect of film peeling or copper poor embedding.

[0010]

[Means for Solving the Problem]This invention is a manufacturing method of a semiconductor device made in order to solve an aforementioned problem.

[0011]A manufacturing method of a semiconductor device of this invention is provided with the following.

A process of forming a barrier layer in a crevice formed in a substrate.

A process of forming an antioxidant layer in said barrier layer surface without exposing said barrier layer surface to an oxidizing atmosphere after forming said barrier layer.

A process of removing said antioxidant layer with electrolytic polishing.

A process of forming a plating seed layer in said barrier layer surface by an electrolytic plating

method which follows said electrolytic polishing.

[0012]In a manufacturing method of the above-mentioned semiconductor device, since an antioxidant layer is formed in the barrier layer surface, without exposing the barrier layer surface to an oxidizing atmosphere after forming a barrier layer, an antioxidant layer is formed, without forming an oxidizing zone in the barrier layer surface. And from forming a plating seed layer in the barrier layer surface by an electrolytic plating method which removes an antioxidant layer and follows the electrolytic polishing with electrolytic polishing. A plating seed layer is formed in the barrier layer surface by an electrolytic plating method which is a conformal method for film deposition, without exposing the barrier layer surface to an oxidizing atmosphere. Therefore, in order that a plating seed layer may grow up to be the barrier layer surface stably, a defect of film peeling or copper poor embedding is not generated.

[0013]

[Embodiment of the Invention]The outline composition sectional view showing the manufacturing process of drawing 1 explains the embodiment concerning the manufacturing method of the semiconductor device of this invention.

[0014]As shown in (1) of drawing 1, after processing predetermined element formation etc. to a semiconductor substrate and forming the insulating layer 11 and the lower layer wiring 12, the interlayer insulation film 13 which covers them is formed. This interlayer insulation film 13 consists of the 1st insulator layer 14 that consists of silicon oxide, for example, the etching stopper film 15 which consists of silicon nitride, for example, and the 2nd insulator layer 16 that consists of silicon oxide, for example. Then, the opening of the connecting hole 17 and the slot 18 is carried out to the above-mentioned interlayer insulation film 13 with dual damascene process. Since etching which forms the slot 18 stops on the above-mentioned etching stopper film 15 in that case, the pars basilaris ossis occipitalis of the slot 18 becomes the above-mentioned etching stopper film 15 top. The etching stopper film 15 of slot 18 pars basilaris ossis occipitalis may be removed.

[0015]Next, as shown in (2) of drawing 1, a tantalum nitride film is formed in each inner surface of the above-mentioned connecting hole 17 and the slot 18 as the barrier layer 21 by DC magnetron sputtering at a thickness of 30 nm, for example. In this membrane formation, the barrier layer 21 is formed also on the interlayer insulation film 13.

[0016]A tantalum target is used for the target of sputtering as an example of the above-mentioned sputtering condition, Argon (supply flow rate:  $70\text{-cm}^3/\text{min}$ ) and nitrogen (supply flow rate:  $30\text{-cm}^3/\text{min}$ ) are used for 6 kW and process gas for DC power of a sputtering system, The pressure of membrane formation atmosphere was set as 0.3 Pa, substrate temperature was set as 200 \*\*, and membranes were formed by reactive sputtering.

[0017]Then, a copper film is formed in thickness of 100 nm as the antioxidant layer 22 of the

barrier layer 21 surface by DC magnetron sputtering. Membrane formation to the membrane formation of the above-mentioned copper film of the above-mentioned tantalum nitride film forms membranes by a vacuum atmosphere, without exposing to an oxidizing atmosphere like the atmosphere on the way. The vacuum of a statement says an industrial vacuum to this specification.

[0018]As an example of the film formation condition of the above-mentioned copper film, the copper target was used for the target, argon (supply flow rate:  $100\text{-cm}^3/\text{min}$ ) was used for 3 kW and process gas for DC power of the sputtering system, the pressure of membrane formation atmosphere was set as 0.3 Pa, and substrate temperature was set as 100 \*\*.

[0019]Subsequently, as shown in (3) of drawing 1, electrolytic polishing treatment is performed in a copper electrolytic plating device, and it is the above-mentioned antioxidant layer 22. It removes [refer to (2) of said drawing 1]. As a result, the barrier layer 21 is expressed again.

[0020]As an example of the above-mentioned electrolytic-polishing conditions, phosphoric acid (specific gravity 1.6) was used for grinding liquid, the current density in electrolytic polishing was set as  $5\text{ A/dm}^2$  -  $20\text{ A/dm}^2$ , and polishing time was set up in 2 minutes - 5 minutes.

[0021]Subsequently, as shown in (4) of drawing 1, a copper film conformal on the barrier layer 21 above-mentioned surface is formed in thickness of 30 nm by a high-speed-steel low type electrolytic plating method. This membrane formation processing uses the same plating bath as the above-mentioned electrolytic polishing. In this case, after controlling oxidation of the barrier layer 21 surface which consists of a tantalum nitride film to the minimum, the copper seed layer used as the plating seed layer 23 which has good step coverage nature by electrolytic plating is formed. As an example, using the plating bath which performed electrolytic polishing, after controlling oxidation of the barrier layer 21 surface to the minimum, the above-mentioned electrolytic plating is performed in replacing an electropolishing solution by electrolytic plating liquid within the plating bath.

[0022]As an example of electrolytic plating conditions above-mentioned high-speed-steel low type, copper sulfate system electrolytic plating liquid (for example, :CuBATH series by Enthone-OMI) was used for the plating solution, the plating current value was set as 2.83A, and plating solution temperature was set as 25 \*\* for plating time for 30 seconds. The shift to high-speed-steel low type, bottom-up type electrolytic plating (smooth nature plating) from electrolytic plating is performed using the same plating bath in replacing electrolytic plating liquid by bottom-up type electrolytic plating liquid from high-speed-steel low type electrolytic plating liquid within the plating bath.

[0023]Subsequently, as shown in (5) of drawing 1, the metal skin 24 is formed with copper so that the above-mentioned connecting hole 17 and the slot 18 may be embedded by a bottom-up type electrolytic plating method.

[0024]As an example of electrolytic plating conditions above-mentioned bottom-up type,

Copper sulfate system electrolytic plating liquid (for example, product [ made by EEJA ]:Microfab Cu2000 series) was used for the plating solution, the plating current value was set as 2.83A, plating solution temperature was set as 18 \*\* for plating time for 4 minutes and 30 seconds, and the metal skin 24 which becomes a thickness of 1.0 micrometer from a copper film was formed.

[0025]Next, as shown in (6) of drawing 1, by chemical mechanical polishing (CMP [ say / following CMP ] is Chemical Mechanical Polishing). The barrier layer (not shown) which consists of the excessive copper film (not shown) and tantalum nitride film on the above-mentioned interlayer insulation film 13 is removed, While forming the wiring 25 in the inside of the above-mentioned slot 18 by the above-mentioned metal skin 24 (the plating seed layer 23 is also included), the plug 26 is formed in the inside of the connecting hole 17 by the above-mentioned metal skin 24 (the plating seed layer 23 is also included).

[0026]although the tantalum nitride film was used for the barrier layer 21 in the above-mentioned embodiment -- as other materials -- a tantalum layer, a tungsten nitride film, and nitriding -- silicification -- it is possible to use a tungsten film etc. The method for film deposition of the copper film as the antioxidant layer 22 of a tantalum nitride membrane surface can use sputtering, such as long distance sputtering, self-discharge sputtering, and ionization sputtering, chemical vapor deposition, etc. other than DC magnetron sputtering.

[0027]

[Effect of the Invention]As mentioned above, the embedding of good copper can be attained, without producing the problem of film peeling according to the manufacturing method of the semiconductor device of this invention, since the copper seed layer which has good step coverage nature can be formed without forming an oxidizing zone in the barrier layer surface as explained. Therefore, a reliable groove-wires structure can be formed.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming a barrier layer in a crevice formed in a substrate.

A process of forming an antioxidant layer in said barrier layer surface without exposing said barrier layer surface to an oxidizing atmosphere after forming said barrier layer.

A process of removing said antioxidant layer with electrolytic polishing.

A process of forming a plating seed layer in said barrier layer surface by an electrolytic plating method which follows said electrolytic polishing.

[Claim 2]A manufacturing method of the semiconductor device according to claim 1, wherein formation of a plating seed layer by said electrolytic plating is performed using the same plating bath from said electrolytic polishing.

[Claim 3]A manufacturing method of the semiconductor device according to claim 1 forming a metal skin which embeds said slot and said connecting hole by electrolytic plating succeeding a formation process of said plating seed layer.

---

[Translation done.]